FROM RESEARCH TO INDUSTRY

cea tech

LES MÉMOIRES FLASH : ENTRE MÉMOIRE VIVE ET MÉMOIRE DE STOCKAGE

Etienne Nowak

12 mars 2015

leti

ETIENNE NOWAK

- **<2007 : Diplôme d'ingénieur & Master**
- **2007-2010 :Thèse en microélectronique**
  - CEA-Leti, Grenoble
  - Caractérisation Electrique, Modélisation et Simulation des mémoires Flash
- **2010-2014 : Ingénieur R&D en microélectronique**
  - Samsung, Corée du Sud
  - Simulation TCAD mémoires Flash NAND verticale
- **>2014 : Ingénieur chercheur R&D en microélectronique**
  - CEA-Leti, Grenoble
  - Intégration des mémoires MRAM

- **etienne.nowak@cea.fr**

BEAUCOUP DE VARIATION DE MÉMOIRE FLASH

- **Les mémoires flash et les mémoires à piégeages de charges sont utilisés depuis plus 50 ans.**
- **Pour le stockage de données seules les mémoires Flash de Type NAND sont utilisées**

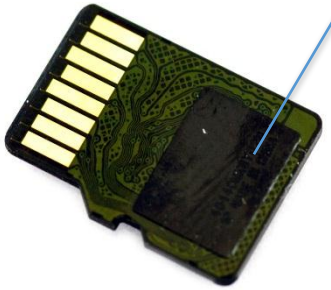
➔ Cette présentation concernent uniquement les mémoires Flash de type NAND

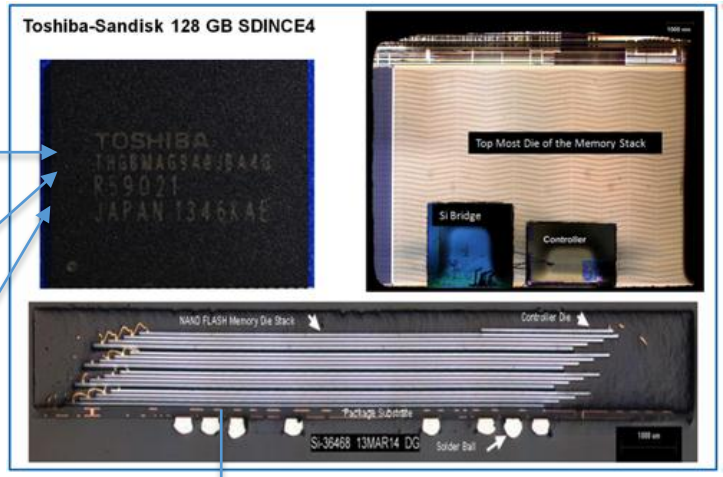
CONTENU

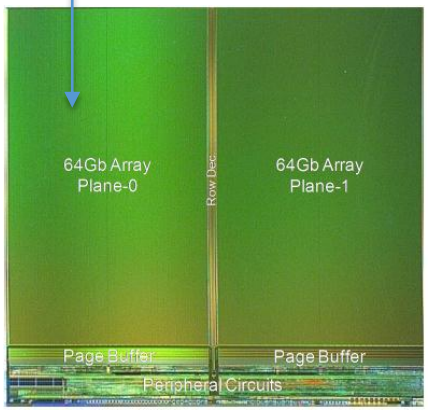
- **Introduction**
- Fonctionnement
- Retention, Vitesse et Cyclage
- Scaling
- Hiérarchie Mémoire et Conclusion

CLÉ USB, CARTE MÉMOIRE, LECTEUR SSD, TÉLÉPHONE MOBILE, …

- **Intégré dans la puce,**
- **Lecture « directe » très coimpliqué même avec la technologie appropriée**

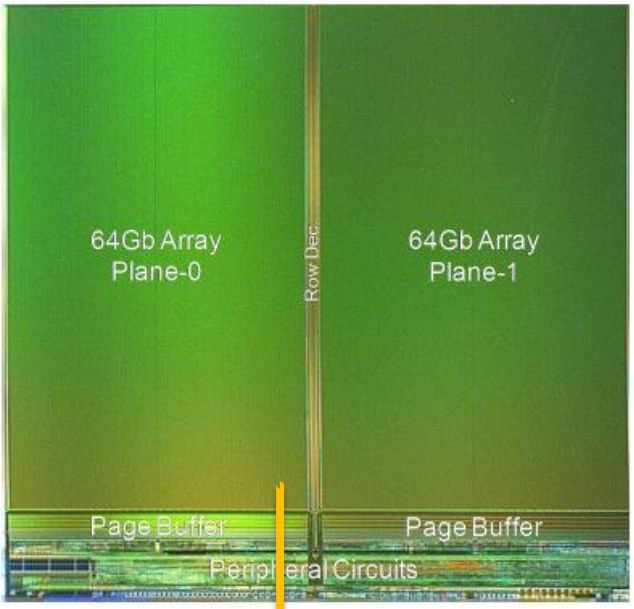


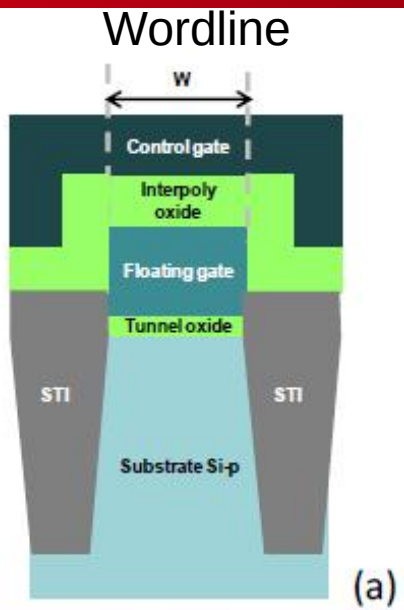


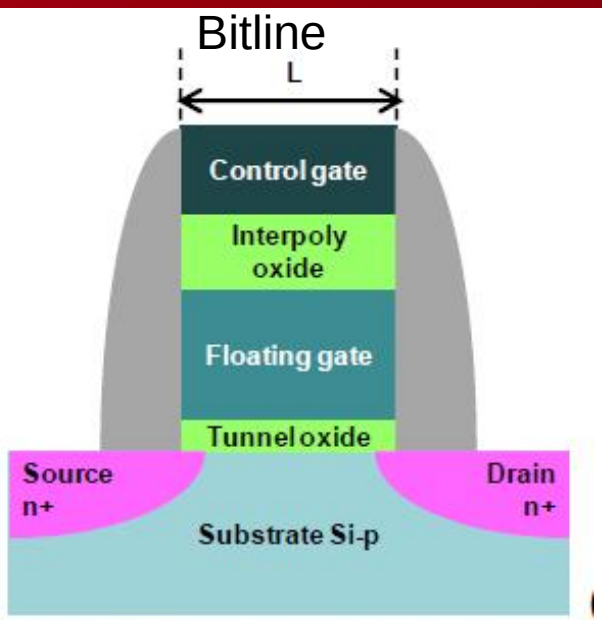


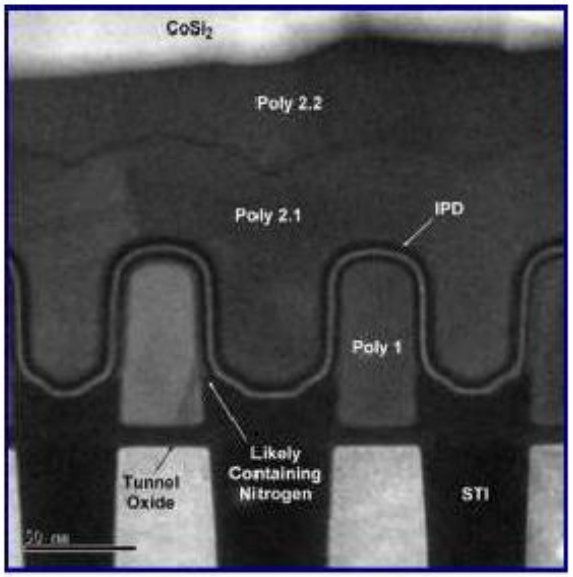
http://www.edn.com/design/communications-networking/4390180/Dissecting-the-Intel-710-Enterprise-SSD-
http://www.storagereview.com/samsung_ssd_840_pro_review
http://www.storagereview.com/sandisk_ultra_microsdxc_128gb_card_review
http://www.eetimes.com/document.asp?doc_id=1325656&page_number=5

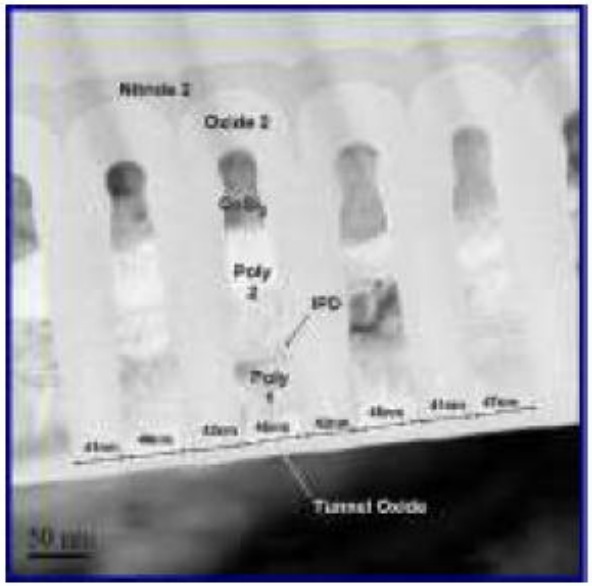
STRUCTURE DE LA CELLULE









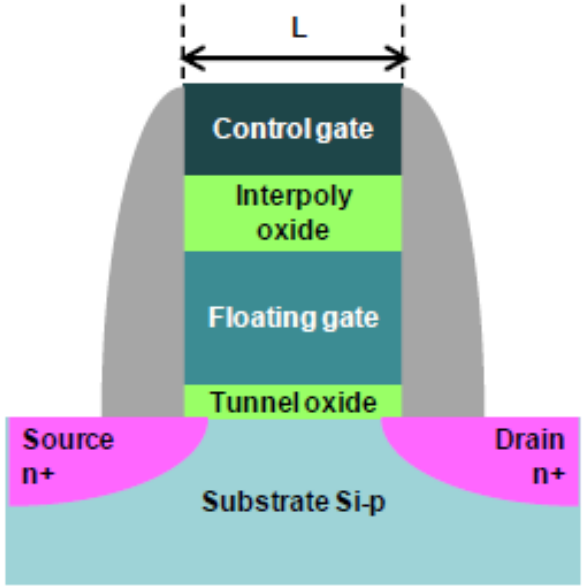


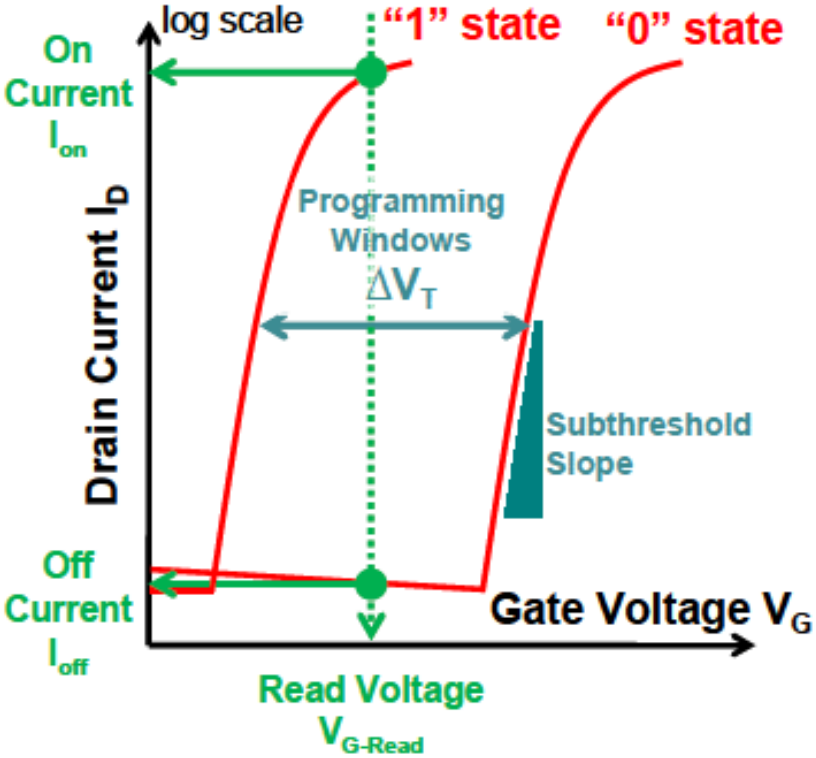
[Semiconductor Insights, Detailed Structural Analysis, Hynix 16Gb NAND Flash, October 2008]

CONTENU

- Introduction
- **Fonctionnement**
  - Lecture
  - Ecriture
  - Effacement
- Retention, Vitesse et Cyclage
- Scaling
- Hiérarchie Mémoire et Conclusion

- **Stockage de charge (electrons) induit un décalage de la tension de seuil du transistor**
- **Les électrons sont stockés dans la grille flottante en silicium**

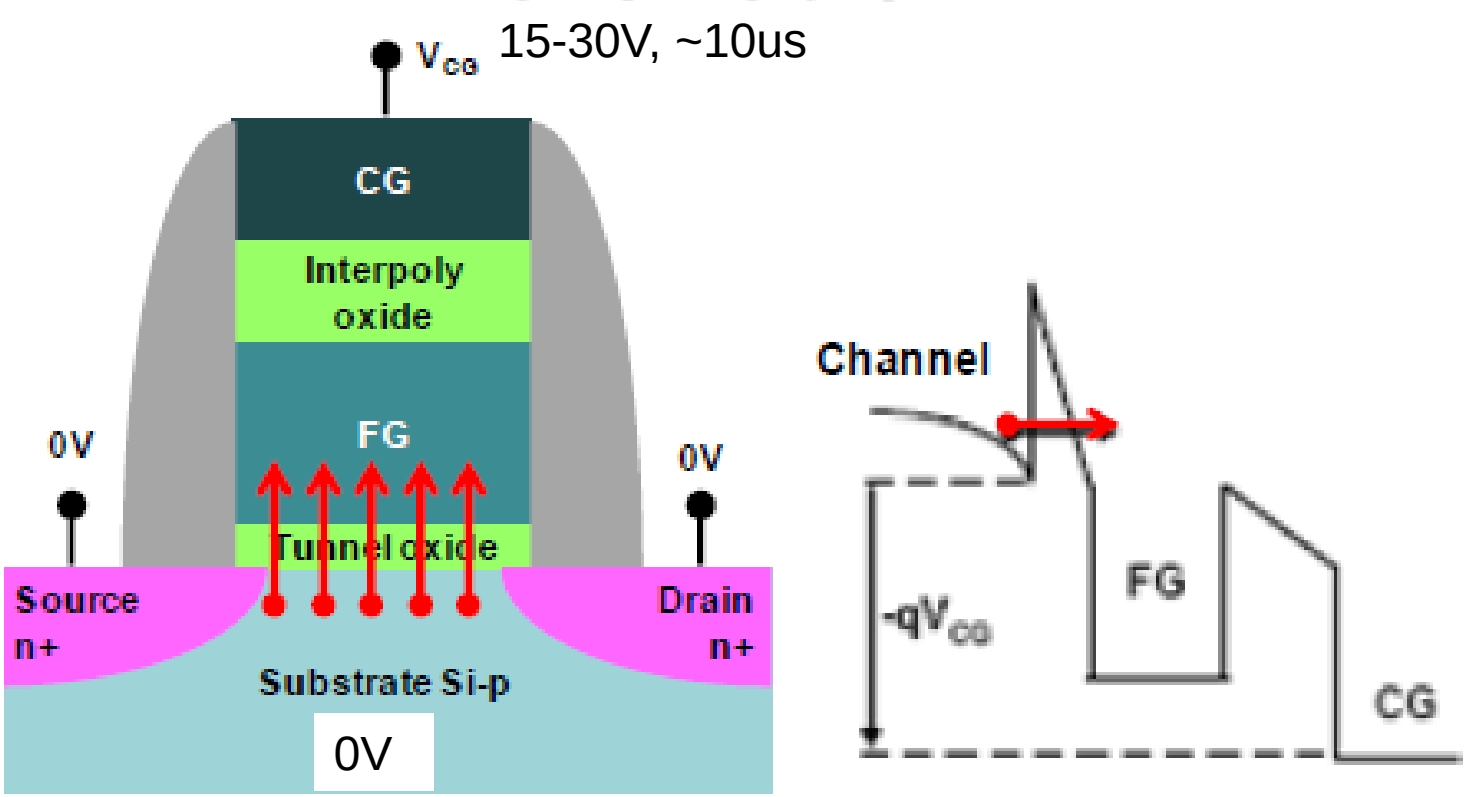




[E. Nowak, PhD Thesis]

ECRITURE

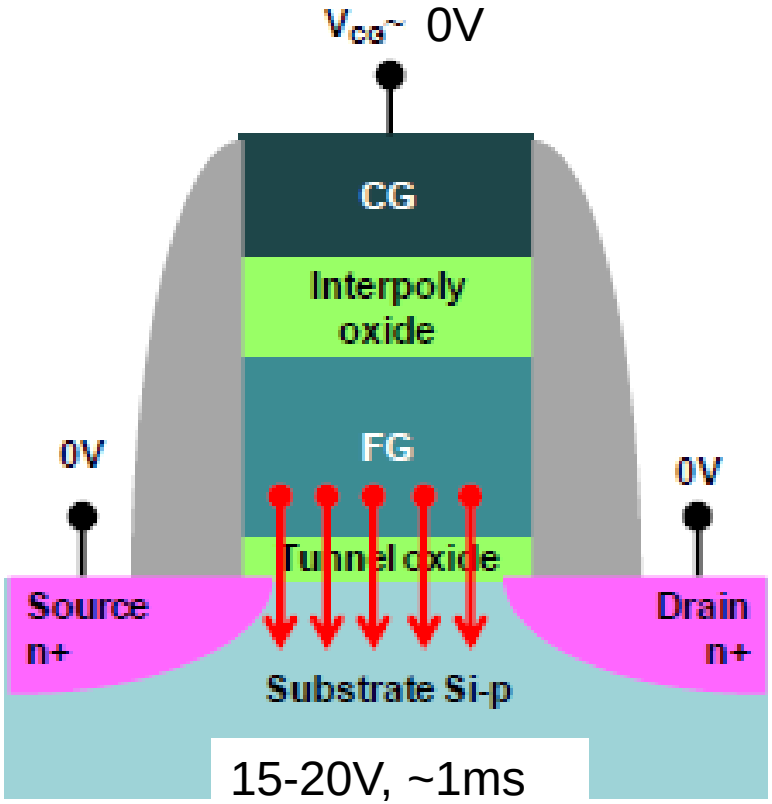
- **L'écriture se fait par l'application d'une forte tension positive à la grille de contrôle**
- **Les électrons sont injecté par effet tunnel à travers l'oxide tunnel**

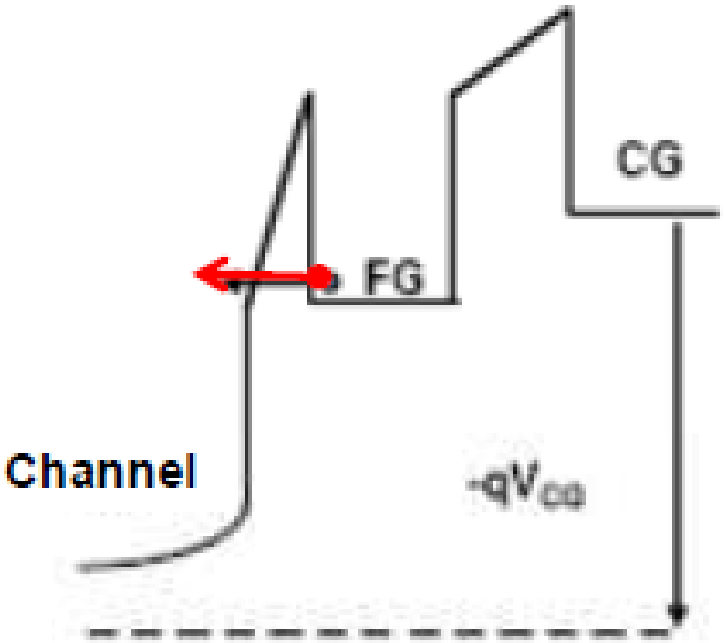


[E. Nowak, PhD Thesis]

EFFACEMENT

- **L'écriture se fait par l'application d'une forte tension positive au substrat**
- **Les électrons sont ejectés par effet tunnel à travers l'oxide tunnel**





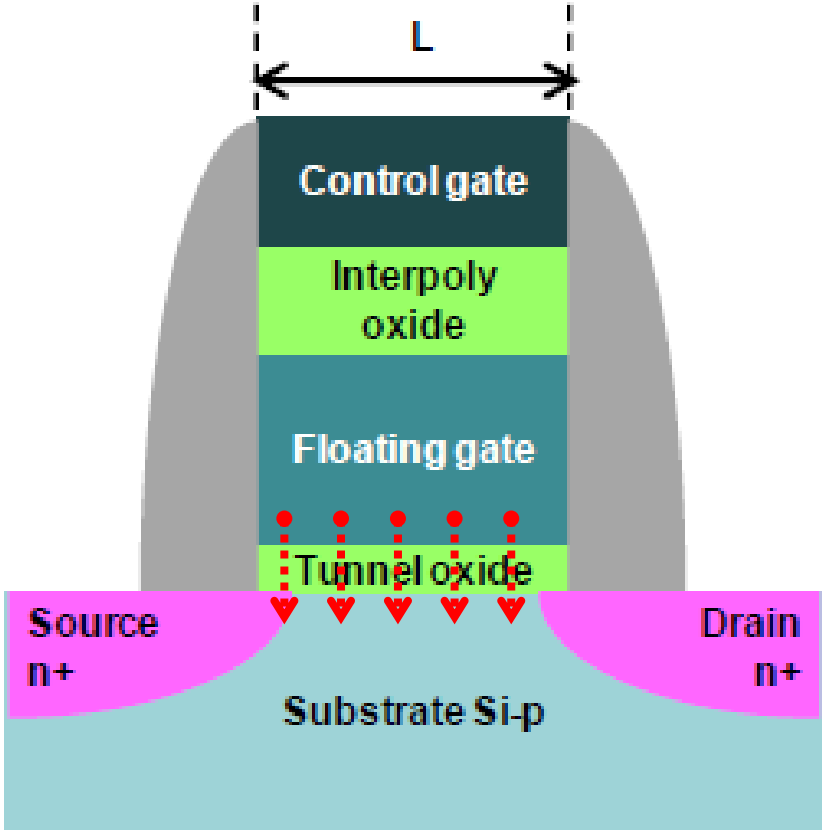
[E. Nowak, PhD Thesis]

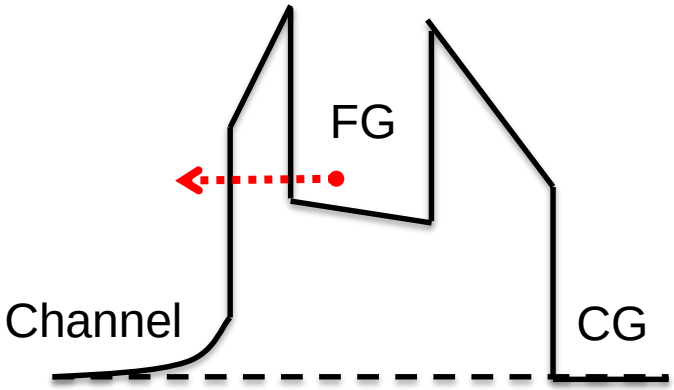
CONTENU

- Introduction
- Fonctionnement
- **Retention, Vitesse et Cyclage**
  - Rétention
  - Compromis Vitesse-Retention
  - Cyclage
  - Courant de fuite
- Scaling
- Hiérarchie Mémoire et Conclusion

RÉTENTION

- La charge est perdue par effet tunnel à travers l'oxide tunnel.
- L'oxide est de 7-8 nm pour permettre de garder l'information 10ans

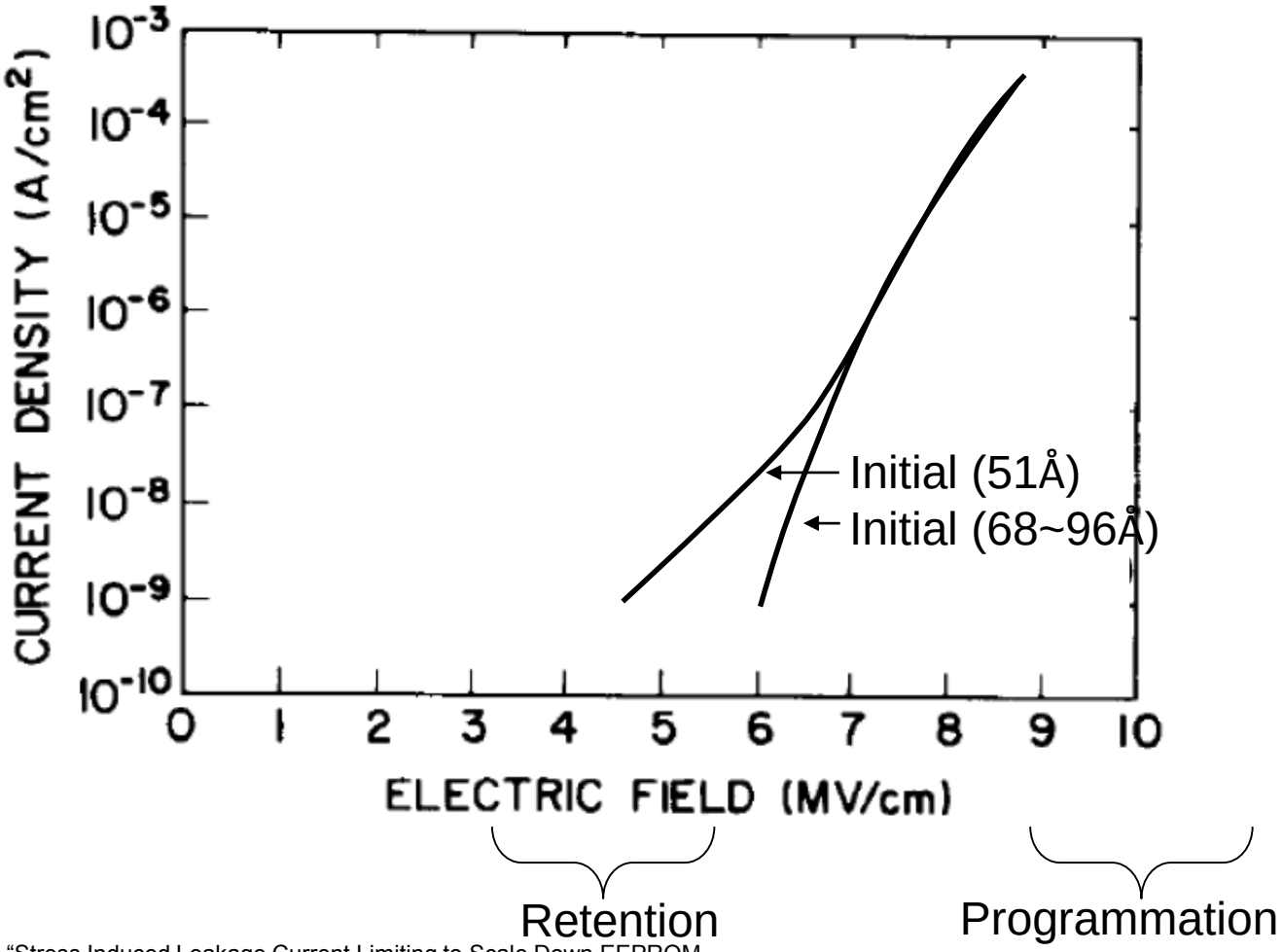




[E. Nowak, PhD Thesis]

COMPROMIS PROGRAMMATION / RETENTION

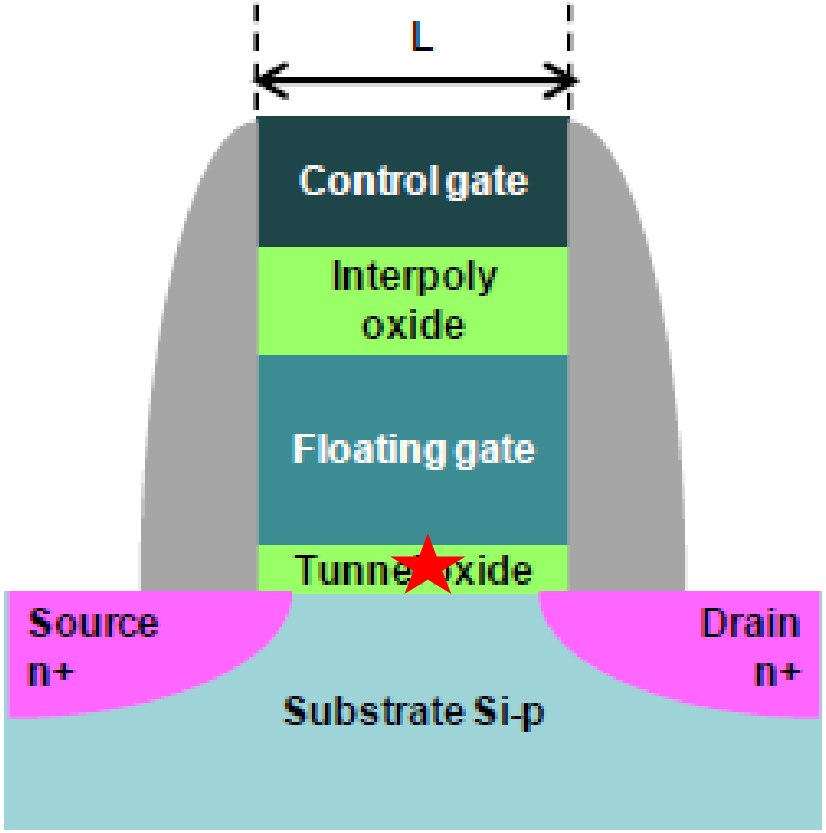
- **La programmation/retention est basé sur la différence de courant à travers l'oxide tunnel à bas champ et fort champ**
- **L'objectif actuel est une mémoire rapide en gardant une rétention de « 10 ans »**

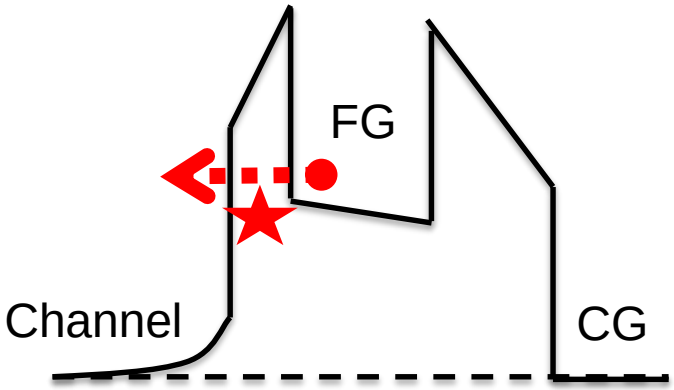


K. Naruke, S. Taguchi et M. Wada, "Stress Induced Leakage Current Limiting to Scale Down EEPROM Tunnel Oxide Thickness", IEEE IEDM Tech. Dig., pp. 424-427, 1988.

CYCLAGE

- **Chaque cycle d'écriture/effacement induit un courant un travers l'oxide tunnel et la création de défaut**
- **Le cyclage maximum typique est de quelques milliers**

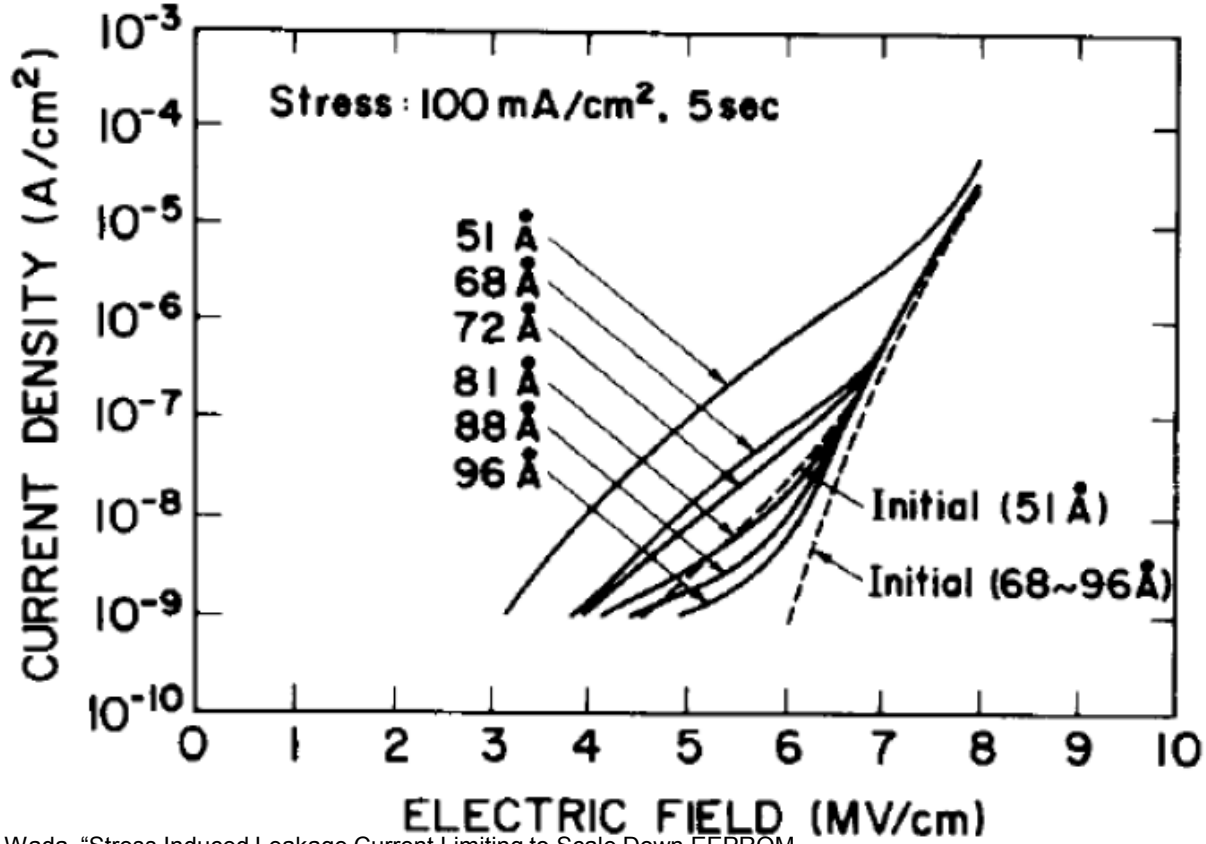




[E. Nowak, PhD Thesis]

COURANTE DE FUITE (1/2)

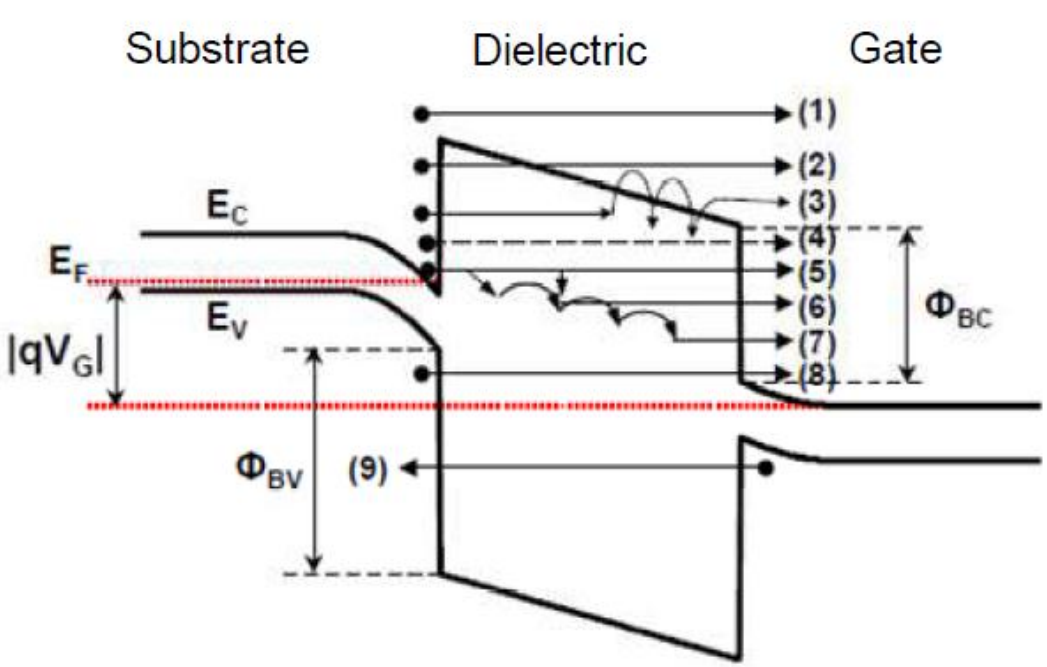
- **La création de défaut induit une fuite de plusieurs ordre de grandeur et une perte d'information très importante**
- **→ Principale limitation de la rétention**
- **Attention pour certaines mémoire (microSD) la spécification est de 10 ans sans cyclage et de 1-2 ans après plusieurs centaines de cycles**



K. Naruke, S. Taguchi et M. Wada, "Stress Induced Leakage Current Limiting to Scale Down EEPROM Tunnel Oxide Thickness", IEEE IEDM Tech. Dig., pp. 424-427, 1988.

COURANT DE FUITE (2/2)

- **Courants de fuite activé en température**
  - Température maximale : limité à 85C
  - La température minimale de fonctionnement n'est pas liées à la cellule mémoire
  - Pas/Peu de limitation à basse température en stockage (-25C)
- **Limitation liée à la rétention après cyclage**



(1) Thermoionic emission
(2) Fowler Nordheim tunneling
(3) Frenkel Poole tunneling
(4) Elastic Trap assisted tunneling
(5) Direct tunneling
(6) Inelastic Trap assisted tunneling
(7) Hopping conduction
(8) Valence band electron tunneling
(9) Hole gate valence band direct tunneling

CONTENU

- Introduction
- Fonctionnement
- Retention, Vitesse et Cyclage
- **Scaling**
  - Multibit
  - Scaling (Avant)
  - Scaling (Maintenant)
- Hiérarchie Mémoire et Conclusion

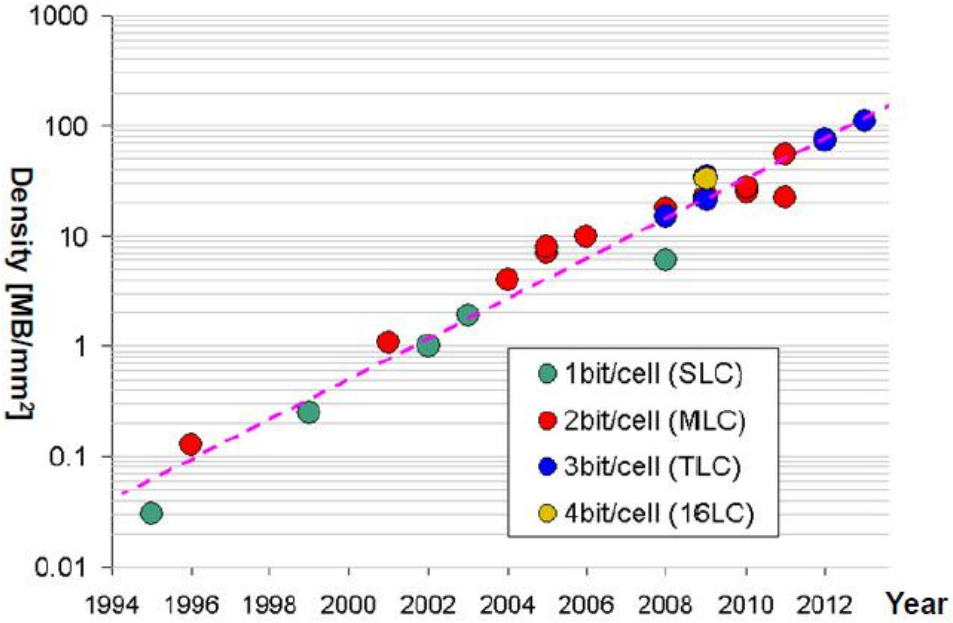
ACTUELLEMENT 3BIT/CELLULE

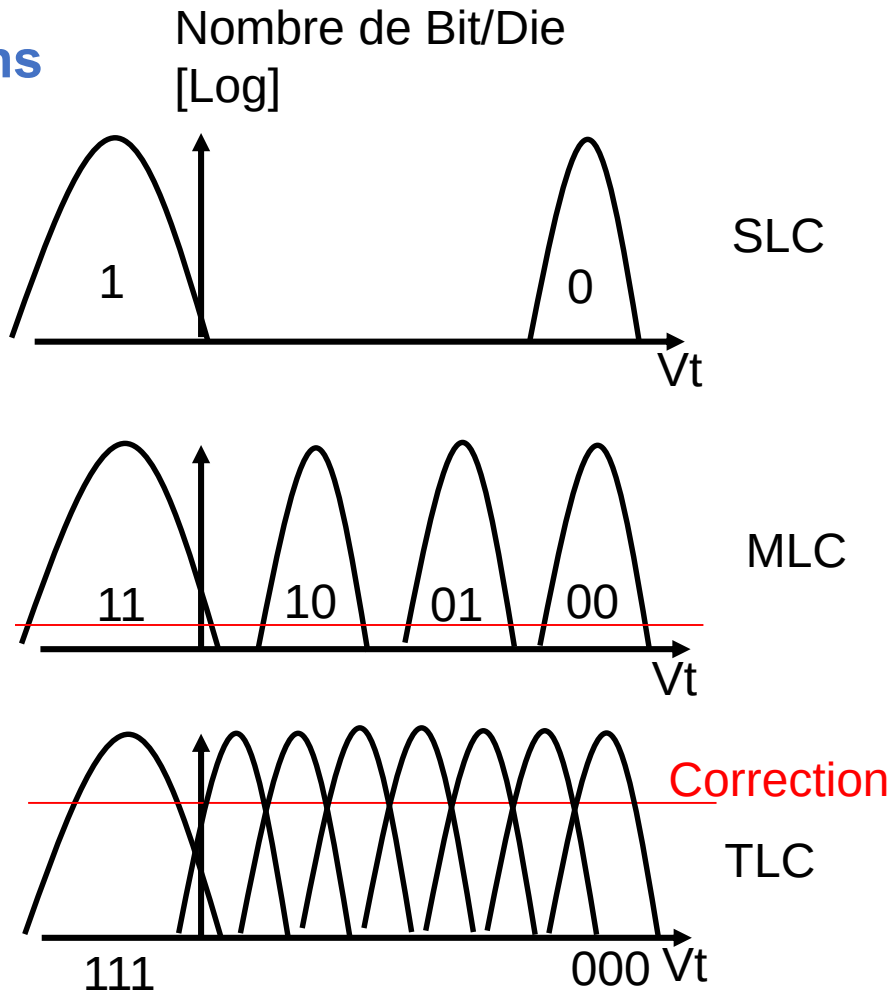
- **Augmentation de la densité par l'intégration de plusieurs niveau dans une même structure**

➔ **Contrainte plus forte**

➔ **Optimisation plus précise**

- **Utilisation de code de correction d'erreur**





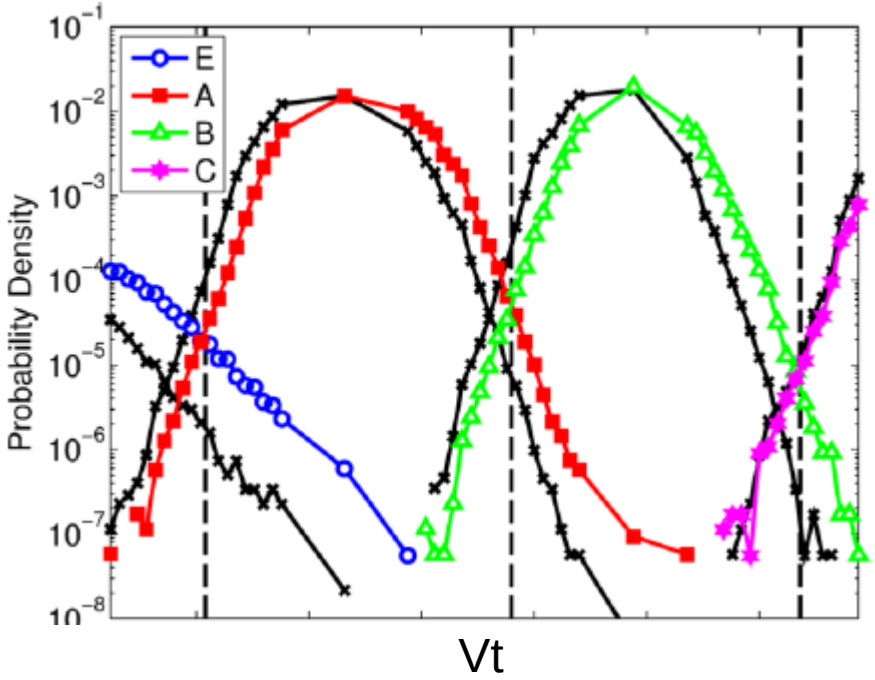
[A 93.4mm2 64Gb MLC NAND Flash Memory with 16nm CMOS Technology, ISSCC 2014, presentation, Sungdae Choi et al.]

DISTRIBUTION TYPIQUE

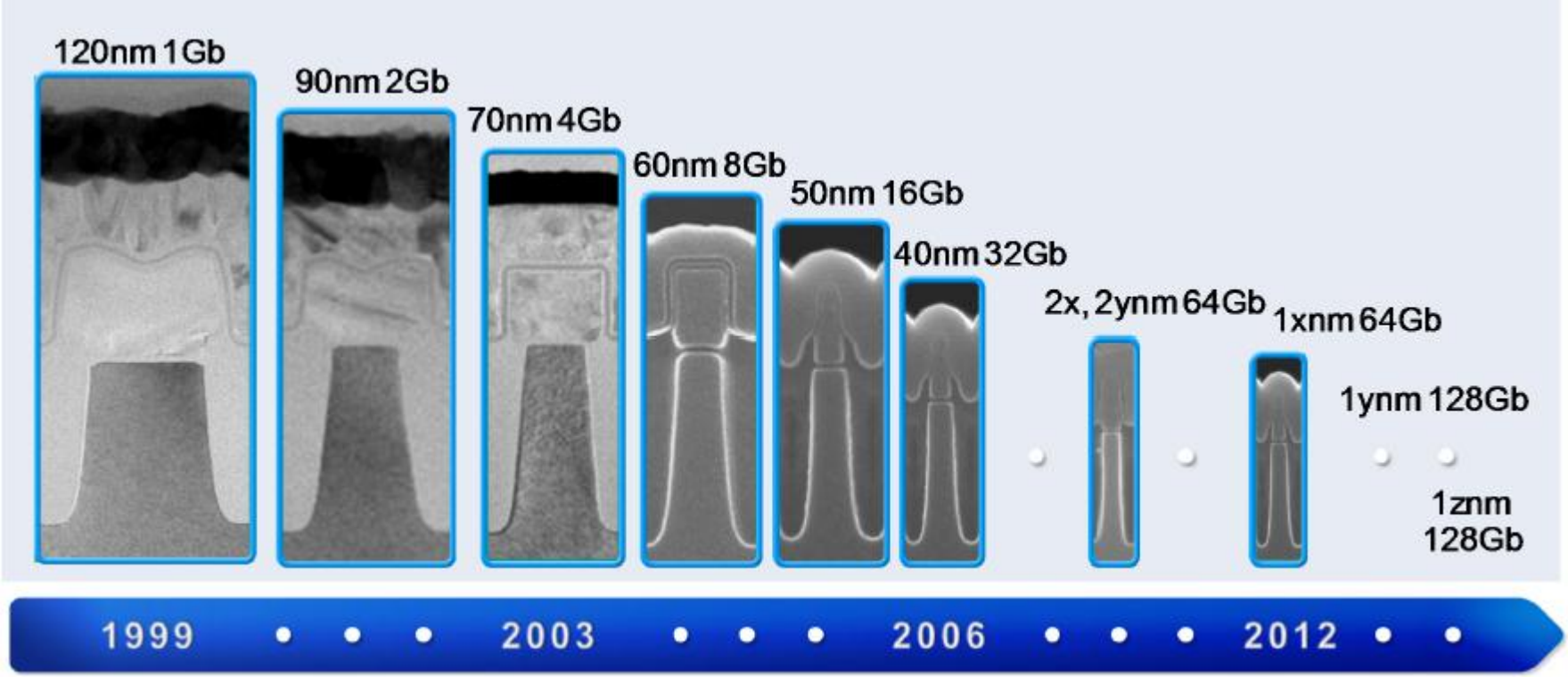
- **Distribution réelle de mémoire**

→ **Inutilisable sans correction d'erreur et forte redondance**

- **Beaucoup de mécanismes (Coupling, Write Disturb, Read Disturb, ISPP, …) rentre en jeu qui ne seront pas abordés ici**



CHANGEMENT DE FORME MAIS NON DE MATERIAU

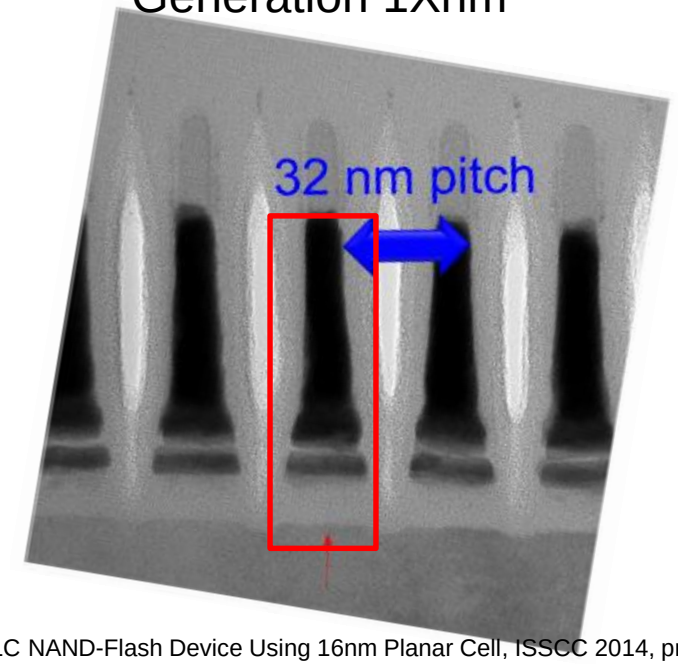


[Three-Dimensional 128Gb MLC Vertical NAND Flash Memory with 24-WL Stacked Layers and 50MB/s High-Speed Programming, ISSCC 2014, presentation, Ki-Tae Park et al.]

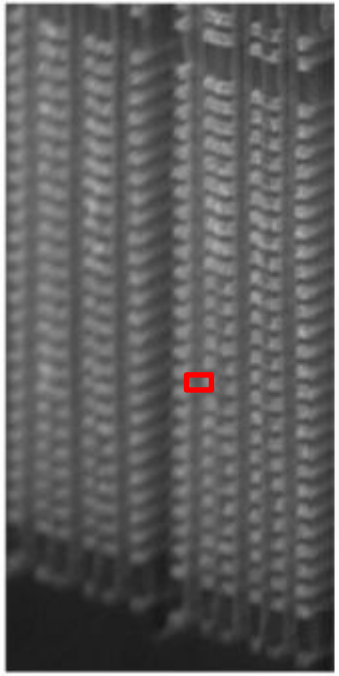
CHANGEMENT DE MATÉRIAU DEPUIS 2013-2015 SELON FABRICANT

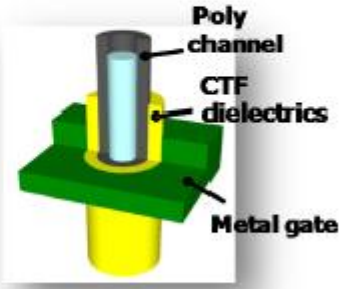
- **Grille Flottante: Si → SiN**
- **Oxide Tunnel : SiO → SiO/SiN/SiO**
- **Oxide Interpoly : SiO/SiN/SiO → SiO/AlO→ …**
- **2D → 3D**

Micron,
Génération 1Xnm



Samsung, Vertical NAND
Génération 1Xnm





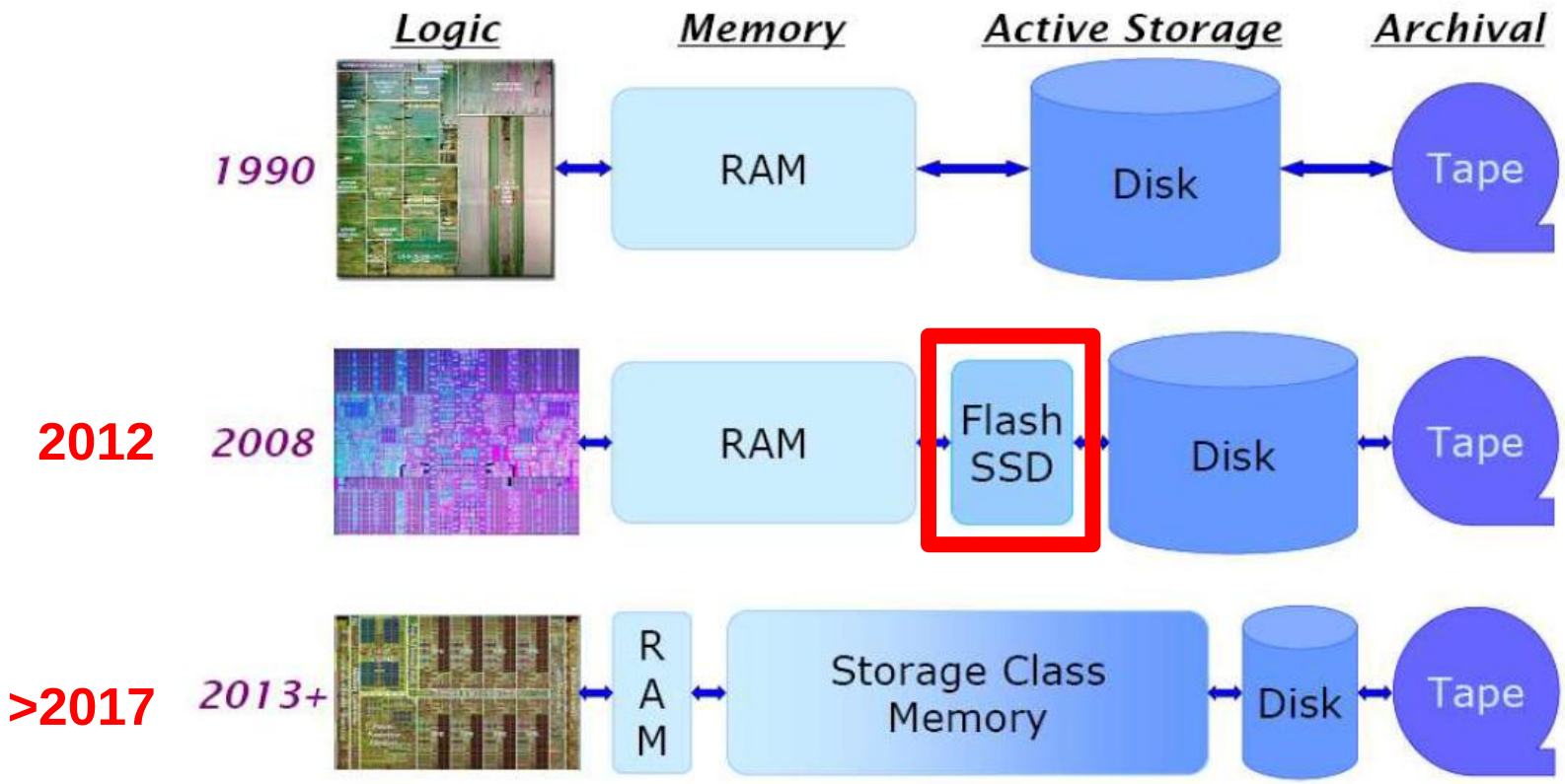
[A 128Gb MLC NAND-Flash Device Using 16nm Planar Cell, ISSCC 2014, presentation, Mark Helm et al.]
[Three-Dimensional 128Gb MLC Vertical NAND Flash Memory with 24-WL Stacked Layers and 50MB/s High-Speed Programming, ISSCC 2014, presentation, Ki-Tae Park et al.]

CONTENU

- Introduction
- Fonctionnement
- Retention, Vitesse et Cyclage
- Scaling
- **Hiérarchie Mémoire et Conclusion**

HIÉRARCHIE MÉMOIRE

- **Création de la NAND en 1985 : mémoire « universelle »**
- **Actuellement : La mémoire de stockage la plus rapide avec une forte densité**



[C. Lam, “Storage Class Memory: Opportunities and Challenges”
Presentation done at LETI Workshop on Innovative Memory Technologies 2009]

CONCLUSION

- **Une mémoire sans élément mécanique**
  - Portable, robuste au choc
- **Une mémoire limitée en cyclage**
  - En pratique pas limitant
- **Une mémoire sensible au radiation**
  - Ne garde pas l'information dans un environnement rad hard
- **Une technologie qui évolue très vite avec des temps de cycle court**
  - Lié à un marché en très forte croissance
- **Les SSD ne sont pas seulement limité par la mémoire NAND**
  - Les autres composants électroniques, soudures et passifs se dégradent aussi avec le temps

http://www.storagereview.com/samsung_ssd_840_pro_review

Merci pour votre attention

Questions?

etienne.nowak@cea.fr

LIENS UTILES

- La conférence « Flash Memory Summit » qui a lieu chaque année a ses présentations en ligne au site :

http://www.flashmemorysummit.com/English/Conference/Proceedings_Chrono.html

- C'est une conférence système et management de la mémoire flash pour les utilisateurs et créateur de système à base de flash
- Le matériel des présentation est disponible en ligne et est intéressant pour comprendre la direction que prends les mémoires flash, quelles sont les tendances du marché et quelles sont les systèmes générés à base de Flash
- Les archives des années précédentes sont là:

http://www.flashmemorysummit.com/English/Collaterals/Proceedings/